

CLIPPEDIMAGE= JP360053045A

PAT-NO: JP360053045A

DOCUMENT-IDENTIFIER: JP 60053045 A

TITLE: DIELECTRIC ISOLATION METHOD

PUBN-DATE: March 26, 1985

INVENTOR-INFORMATION:

NAME

HASEGAWA, NOBUO

HONMA, YOSHIO

TSUNEKAWA, SUKEYOSHI

KAWAMOTO, YOSHIFUMI

KURE, TOKUO

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP58160357

APPL-DATE: September 2, 1983

INT-CL (IPC): H01L021/76;H01L021/306

US-CL-CURRENT: 438/FOR.227,438/427

ABSTRACT:

PURPOSE: To obtain an extremely microscopic dielectric isolation structure of excellent surface flatness as well as to accomplish the state of high density and microscopic formation of a VLSI (very large scale integrated circuit) by a method wherein, after an insulating material has been buried in a groove by performing a bias sputtering method, the insulating material formed on the area other than an insulated region is selectively removed in a self-matching manner.

CONSTITUTION: A resistor pattern 4 is formed on an Si substrate 1 excluding insulated regions 2 and 3 by performing an ordinary lithographic method, and a dry etching is performed vertically on the Si substrate 1 using said resist

pattern 4 as a mask. After the resist pattern 4 has been removed, an insulating material 5 is coated on the whole surface by performing a bias sputtering. Then, a dry or wet etching is performed on the whole surface of the SiO_2 5, and the etching is finished at the point of time when the upper end part 6 of the isolation groove is exposed. Subsequently, a photoresist 7 is coated on the whole surface, and the part 8 located within the region other than isolated regions 2' and 3' is selectively removed. Then, SiO_2 films 9 and 9' on the area other than the isolation region is removed by performing a wet etching, and then the photoresist is removed. Through the above-mentioned procedures, SiO_2 can be simply buried into the isolation grooves 2' and 3' having different width in a self-matching manner.

COPYRIGHT: (C)1985,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-53045

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和60年(1985)3月26日

H 01 L 21/76
21/306

M-8122-5F
8223-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 絶縁分離方法

⑮ 特 願 昭58-160357

⑯ 出 願 昭58(1983)9月2日

⑰ 発 明 者 長 谷 川 昇 雄 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑱ 発 明 者 本 間 喜 夫 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉑ 発 明 者 恒 川 助 芳 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉒ 発 明 者 川 本 佳 史 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉓ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉔ 代 理 人 弁理士 高橋 明夫 外1名

最終頁に続く

明 細 書

発明の名称 絶縁分離方法

特許請求の範囲

半導体基板の素子分離領域に溝を形成し、溝内に絶縁物を埋込む素子分離法において、バイアススパッタ法により溝内に絶縁物を埋込む工程と、分離領域以外に形成された絶縁物を自己整合で選択的に除去する工程を含むことを特徴とする半導体素子の絶縁分離方法。

発明の詳細な説明

〔発明の利用分野〕

本発明は半導体集積回路の絶縁分離方法に関する。

〔発明の背景〕

半導体集積回路の高精度素子分離技術として、半導体基板に溝を形成し絶縁物で充填する方法が開発されつつある。このような方法での主な課題は、製法の簡便化、および異なる帯幅を均一に平坦に埋込むことである。埋込み法の代表的なものとして、CVD (Chemical Vapor Deposition)

法あるいはHLD (高温低圧化学蒸着) 法によるSiO₂の埋込みがあるが、この方法では、絶縁分離領域以外の領域に被着したSiO₂を選択的に除去する工程が煩雑で、かつ埋込み表面の平坦性が悪くなりやすいことが問題である。

〔発明の目的〕

本発明の目的は、上記従来法の欠点を解消し、自己整合で分離領域以外の絶縁物を除去し、平坦性の良好な素子絶縁分離法を提供することにある。

〔発明の概要〕

本発明は、基板に形成した分離領域の溝をバイアススパッタ法により絶縁物を埋込むことを特徴としており、特にバイアススパッタ法による絶縁物の埋込みでは、溝の上端部で絶縁膜が薄く形成されることを利用し、自己整合で分離領域以外の絶縁物の除去を可能としたものである。

〔発明の実施例〕

以下、本発明の実施例を図を用いて説明する。

実施例1

第1図は本発明の一実施例を示す工程図である。

第1図(1)に示すようにSi基板1上に通常のリングラフィ法により、絶縁領域2および3以外にレジストパターン4を形成し、上記レジストパターン4をマスクとしてSi基板1をドライエッチングで垂直に加工した。この時ドライエッチングには、 CCl_4 と O_2 の混合ガスを用いた反応性スパッタエッチングを用いた。なお、この時、レジストパターン4単層でエッチングのマスクが不十分な場合は、適宜、レジスト4とSi基板1の間に SiO_2 等を挿入すればよい。レジストパターン4を除去した後、第1図(2)に示すようにバイアススパッタ法により絶縁物5を全面に被着する。本実施例では絶縁物は SiO_2 とした。 SiO_2 膜5の膜厚は分離溝2'および3'の深さに対し、同等あるいは厚いことが望ましい。バイアススパッタ法とは(特公昭56-21836)スパッタデポジションとスパッタエッチングを同時進行で行なうものであり、本実施例では、デポジションに作用するターゲット電力密度を 2 W/cm^2 とし、エッチングに作用する基板電力密度を 0.3 W/cm^2 とし

た。この時の SiO_2 のデポジション速度は 20 nm/分 である。また、分離溝幅が狭いほど溝内に SiO_2 が埋まりにくくなるが、基板電力密度を上げることにより解決することができる。しかる後、ドライあるいはウェットエッチにより SiO_2 5を全面エッチングし、分離溝の上端部6が露出した時点でエッチングを終了する。前記工程により、分離溝2', 3'内への SiO_2 の埋込みは完了し、分離溝2', 3'とそれ以外の領域の界面にはSi基板1が露出し、自己整合で分離される。しかる後、第1図(3)に示すように通常の方法でホトレジスト7を全面に被着し、分離領域2', 3'以外の領域内の一部分8を選択的に除去する。しかる後、ウェットエッチングにより分離領域以外の SiO_2 膜9, 9'を除去する。しかる後、ホトレジストを除去する。以上の工程により、第1図(4)に示すように、幅の異なる分離溝2', 3'に SiO_2 を自己整合で、かつ、簡単に埋込むことができた。なお、上記実施例で分離領域2', 3'には含まれた領域10が狭い

(たとえば $1\text{ }\mu\text{m}$ 以下)場合、前記領域10上にバイアススパッタで形成される SiO_2 膜は薄く、分離領域の SiO_2 表面とはほぼ平坦な面となる。したがって、バイアススパッタ後の SiO_2 全面エッチ工程により、領域10上の SiO_2 は除去され、以後の SiO_2 除去工程は不要となる。

実施例2

第2図は本発明の他の実施例を示す工程図である。第2図(1)に示すようにシリコン基板1上に Si_3N_4 膜11を形成し、しかる後、通常のリングラフィ法により、絶縁領域2および3以外にレジストパターン4を形成し、上記レジストパターン4をマスクとして Si_3N_4 を通常の方法で加工した。しかる後、実施例1と同様にSi基板1をドライエッチングで垂直に加工した。しかる後、第2図(2)に示すように、実施例1と同様にバイアススパッタ法により絶縁物5を全面に被着した。しかる後、通常のドライまたはウェットエッチにより SiO_2 5を全面エッチングし、分離溝の上端部6の Si_3N_4 膜11が露出した時点でエッチ

ングを終了する。しかる後第2図(3)に示すように、熱リン酸を用い前記 Si_3N_4 の露出部からエッチングを進行させ、いわゆるリフトオフにより9および9'を除去する。この時のエッチ速度は Si_3N_4 が 14 nm/分 SiO_2 は 0.5 nm/分 である。なお、第2図(3)はリフトオフの途中段階を示す。以上の工程により、第2図(4)に示すように、良好な絶縁分離構造を表現できた。なお、ここでリフトオフ用挿入膜に Si_3N_4 を用いたが、これに限らず、 SiO_2 およびSiに対しエッチ速度が十分速い材料およびエッチング法であれば適用可能である。

以上本発明を実施例1および2により説明した本発明の最大の特徴は、バイアススパッタ法により被着した SiO_2 を、分離溝上端部が露出するまで全面エッチングする簡単な工程で、分離領域とそれ以外の領域を自己整合で分割できることである。したがって、それ以外の事項たとえば分離溝の形状、エッチング方法は実施例に限らず、V字形、U字形などの溝形状、エッチング法はウェ

ット法などでも適用可能である。また、絶縁物には SiO_2 を用いたが、これに限らず Si_3N_4 、 Al_2O_3 など絶縁物であれば適用可能である。なお、このような構造を各種半導体素子の分離に用いる場合、溝 $2'$ 、 $3'$ の底面、側面での寄生チャネルの発生を防止する必要があるが、本発明の工程中に溝内面へのイオン注入や不純物拡散を行なうことによつて、チャネルカットは容易にできることは言うまでもない。また、バイアススパッタ工程での Si 基板 1 への汚染の混入を防止するには、溝 $2'$ 、 $3'$ 形成後、通常の方法により SiO_2 、あるいは Si_3N_4 などを全面に被着することが有効である。

〔発明の効果〕

以上述べたように、本発明によれば、溝幅の大小によらず、均一に絶縁物の埋込みが行なえ、さらに、自己整合で絶縁領域以外に被着した絶縁物を除去できるため、表面平坦性の良好なきつめて微細な絶縁分離構造を得ることができる。したがつて、本発明の適用によりVLSIの高密度化、微

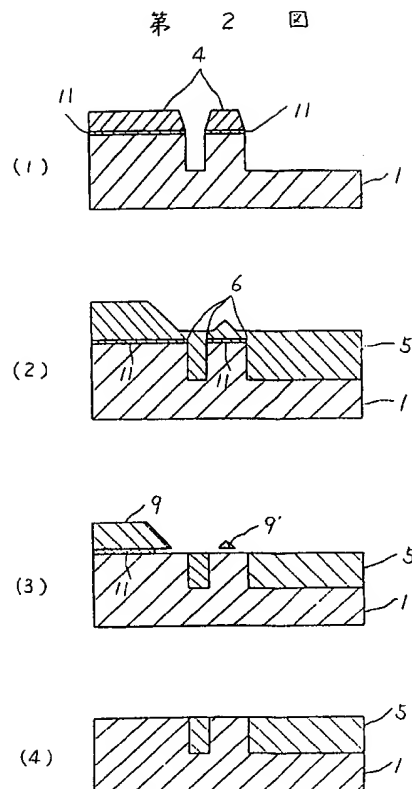
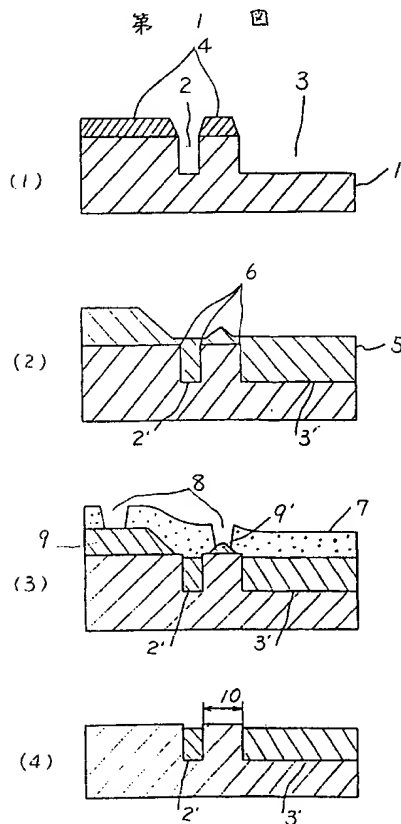
細化が達成できる。

図面の簡単な説明

第1図および第2図はそれぞれ本発明の異なる実施例を示す工程図である。

1…シリコン基板、2、3…分離領域、5…絶縁膜 (SiO_2 : バイアススパッタ法)、4、7…ホトレジスト。

代理人 弁理士 高橋明夫



第1頁の続き

発明者 久礼 得男 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中
央研究所内